

Inhoudsopgave Digitale Techniek deel 1, 5e druk

0 Inleiding	13
<i>Tijdcontinue/intensiteitcontinue signaalbewerking</i>	14
<i>Tijddiscrete/intensiteitcontinue signaalbewerking</i>	15
<i>Tijddiscrete/intensiteitdiscrete signaalbewerking</i>	16
<i>Binaire signaalbewerking</i>	17
<i>Het ontwerptraject</i>	21
Literatuur	22
Opgaven hoofdstuk 0	23
1 Getalrepresentaties en codes	
1.1 Het decimale en het binaire talstelsel	25
<i>Talstelsels</i>	26
<i>Fracties</i>	27
<i>Aantal cijfers</i>	27
<i>De BCD representatie</i>	28
1.2 Andere getalrepresentaties	29
<i>De hexadecimale representatie</i>	29
<i>De octale representatie</i>	29
<i>De excess-3 representatie</i>	30
<i>m-uit-n codes</i>	31
1.3 Grondtal conversie	31
1.4 De conversie BIN-OCT-HEX	33
1.5 Codes voor alfanumerieke karakterverzamelingen	35
<i>De ASCII code</i>	35
<i>Parity</i>	36
<i>De EBCDIC code</i>	36
1.6 Equidistante codes	37
1.7 Binair rekenen	40
1.8 Getalrepresentaties in Z	43
<i>Rekenen in teken-en-modulus</i>	44
1.9 De two's complement representatie	45
<i>De representatie</i>	46
<i>Het tekenbit</i>	48
<i>Alternatieve introductie two's complement</i>	49
1.10 De optelling in het two's complement	49
1.11 Optellen en aftrekken in het two's complement	51
<i>De representant van het tegengestelde getal</i>	52
1.12 Capaciteitsoverschrijding in het two's complement	53
<i>Samenvatting van het two's complement</i>	55
<i>De two's complement cirkel</i>	55
1.13 De one's complement representatie	55
1.14 De floating point representatie	57
<i>ANSI/IEEE 32-bit single format</i>	58
Literatuur	59
Opgaven hoofdstuk 1	60

2 De schakelalgebra

2.1	De logische werking van een component	67
	<i>Keuze van de proposities</i>	69
	<i>Logische variabelen en Booleaanse variabelen</i>	70
	<i>Logische nullen en enen</i>	70
2.2	Bewerkingen in de symbolische logica	71
	<i>De logische operator EN</i>	71
	<i>De logische operator OF</i>	73
	<i>De logische operator NIET</i>	73
	<i>De inclusieve OF en de exclusieve OF</i>	74
	<i>Volgorde van bewerkingen</i>	75
2.3	De schakelalgebra	75
	<i>Volgorde van bewerkingen</i>	76
	<i>Rekenregels voor constanten</i>	76
	<i>Rekenregels voor logische variabelen</i>	77
	<i>Het bewijzen van schakelwetten</i>	81
2.4	Uitbreidbaarheid van schakelwetten	81
2.5	De mintermvorm van logische functies	83
	<i>De mintermvorm</i>	84
	<i>De som-van-produktenvorm</i>	85
	<i>Venndiagrammen</i>	86
2.6	De maxtermvorm van logische functies	87
	<i>Verband tussen de mintermvorm en de maxtermvorm</i>	87
2.7	Logische bewerkingen op functies	90
2.8	Decompositie van functies	92
	<i>Herhaalde decompositie</i>	94
	<i>Volgorde bij decompositie</i>	96
2.9	Toepassing van decompositie op kontaktschakelingen	97
2.10	De ON set, OFF set en DC set van logische functies	99
	<i>Afhankelijkheid van logische variabelen</i>	101
2.11	De keuze van proposities en logische variabelen	102
	<i>Ondubbelzinnigheid van proposities</i>	103
2.12	Voorbeeld opstellen van formules	104
	Literatuur	107
	Opgaven hoofdstuk 2	107

3 Bewerkingen op logische functies

3.1	Karnaughdiagrammen	115
	<i>Waarheidstabellen en Karnaughdiagrammen</i>	115
	<i>De constructie van Karnaughdiagrammen</i>	117
3.2	Reductie van logische functies	120
	<i>Don't cares</i>	122
3.3	Het systematisch uitlezen van Karnaughdiagrammen	123
3.4	De somvorm en de produktvorm van logische functies	127
	<i>De produkt-van-sommenvorm</i>	128
	<i>Recept conversie somvorm \leftrightarrow produktvorm</i>	129
3.5	Toepassingen van Karnaughdiagrammen 1	130

	<i>Logische bewerkingen op functies</i>	130
	<i>Onderzoek van specificaties</i>	131
	<i>Logische schakelingen met meer dan één uitgang</i>	132
	<i>Volgorde van de randschriften</i>	133
3.6	Toepassingen van Karnaughdiagrammen 2	134
3.7	Cube representatie van logische functies	136
3.8	De eenvoudigste vorm van een formule	138
3.9	Het genereren van priemimplicanten	139
3.10	Het bepalen van een dekking	142
3.11	Uitbreidingen op het Quine-McCluskey algoritme	146
	<i>Iteratieve consensus</i>	146
	<i>Multiple-output networks</i>	149
3.12	Binary Decision Diagrams	151
3.13	Het opstellen van BDD's	154
	<i>Vereenvoudigingsregels</i>	155
	<i>Volgorde van de variabelen</i>	156
	<i>Don't cares in BDD's</i>	157
3.14	Van BDD naar som-van-produktenvorm	158
	Literatuur	161
	Opgaven hoofdstuk 3	162

4 Inleiding tot het ontwerpen van combinatorische schakelingen

4.1	Het ontwerpproces	169
	<i>Indeling ontwerpproces</i>	169
	<i>Het ontwerptraject van een opteller</i>	170
	<i>Scope van deze tekst</i>	172
4.2	Het logisch ontwerp van een n-bit full adder	173
	<i>Van numerieke naar logische specificatie</i>	174
	<i>Half adder en full adder</i>	176
	<i>Capaciteitoverschrijding</i>	176
4.3	Ontwerpen met de operatoren {AND, OR, NOT}	177
	<i>Two/three-level NOT-AND-OR schakelingen</i>	177
	<i>Two/three-level NOT-OR-AND schakelingen</i>	178
	<i>Passingsproblemen</i>	179
	<i>Open ingangen</i>	181
	<i>Don't care signaalwaarden</i>	182
4.4	Ontwerpen met de operatoren {NAND, NOR}	182
	<i>NAND en NOR, universeel toepasbare componenten</i>	182
	<i>Two/three-level NAND-NAND schakelingen</i>	183
	<i>Two/three-level NOR-NOR schakelingen</i>	184
4.5	Ontwerpen met fanin beperkingen	186
	<i>Opbouw van n-input AND en OR poorten met NAND en NOR poorten</i>	187
	<i>Multilevel decompositie met NAND en NOR poorten</i>	188
	<i>Het decompositieprobleem</i>	191
4.6	Ontwerpvrijheid	192
4.7	Permissible functions	194
	<i>Het optimaliseren van combinatorische schakelingen</i>	198
	<i>Procedure voor het bepalen van permissible functions</i>	200

4.8	De afbeelding op hardware	201
	<i>Het signaalmodel: scheiding van logica en tijd</i>	201
	<i>Positieve en negatieve logica</i>	202
	<i>De logische formule bij een gegeven component</i>	
	<i>Individuele logica</i>	
	<i>De logische formule bij een gegeven component</i>	203
	<i>Dualiteit</i>	206
	<i>Individuele logica</i>	207
4.9	Symbolen voor poorten	207
	<i>Vorm van de symbolen</i>	208
	<i>Functiesymbolen</i>	
	<i>Het aanduiden van negaties</i>	
	<i>Embedded symbols</i>	
	<i>Signaaloverdracht op fysisch niveau</i>	
	<i>Functiesymbolen</i>	209
	<i>Het aanduiden van negaties</i>	209
	<i>Embedded symbols</i>	211
	<i>Signaaloverdracht op fysisch niveau</i>	212
4.10	Ontwerpverificatie en produktverificatie	214
	<i>Ontwerpverificatie</i>	214
	<i>Produktverificatie of testen</i>	
	<i>Correct-by-design</i>	
	<i>Produktverificatie of testen</i>	216
	<i>Correct-by-design</i>	216
4.11	Het testen van combinatorische schakelingen	216
	<i>Defecten en fouten</i>	217
	<i>Een foutmodel voor combinatorische poortschakelingen</i>	
	<i>Een foutmodel voor combinatorische poortschakelingen</i>	218
4.12	Testen op basis van het stuck-at-0/1 foutmodel	218
	<i>Testen van multilevel combinatoriek</i>	220
	<i>Instelbaarheid en observeerbaarheid</i>	
	<i>Instelbaarheid en observeerbaarheid</i>	221
4.13	Permissible functions en Stuck-at testbaarheid	222
	Literatuur	225
	Opgaven hoofdstuk 4	226

5 Het fysisch ontwerpniveau

5.1	Het schakelen van spanningen	237
	<i>Schakelaars</i>	238
5.2	De MOS transistor als schakelaar	241
	<i>De MOS transistor</i>	242
	<i>MOS transistor types</i>	243
	<i>De CMOS invertor</i>	
	<i>De CMOS invertor</i>	245
5.3	De opbouw van CMOS poorten	246
	<i>Complexe poorten</i>	249
	<i>Extra voorzieningen</i>	250
	<i>Extra voorzieningen</i>	

5.4	De pass Transistor en de transmission gate	251
5.5	Uitgangsschakelingen	253
	<i>De 3-state uitgang</i>	253
	<i>De open-drain (open-collector) uitgang</i>	255
5.6	Overzicht van TTL logische families	256
	<i>De bipolaire transistor</i>	257
	<i>Poorten in de TTL technologie</i>	259
	<i>TTL logische families</i>	261
	TTL logische families	
5.7	Overzicht van CMOS logische families	262
	<i>Lagere spanningen</i>	264
5.8	Logische familie-aangelegenheden	264
	<i>Ruismarges</i>	265
	<i>Voedingsspanningen</i>	267
	<i>Voedingsspanningen</i>	
	<i>Ground bounce</i>	
	<i>Schmitt-trigger ingangen</i>	
	<i>Compatibele impedanties</i>	
	<i>Fanin en fanout</i>	
	<i>Conclusies ten aanzien van het compatibel zijn</i>	
	<i>Ground bounce</i>	268
	<i>Schmitt-trigger ingangen</i>	269
	<i>Compatibele impedanties</i>	271
	<i>Fanin en fanout</i>	271
	<i>Conclusies ten aanzien van het compatibel zijn</i>	272
5.9	Tijdmodellen	273
	<i>Het tijdmodel voor een logisch signaal</i>	273
	<i>Het tijdmodel voor een verbinding</i>	275
	<i>Het tijdmodel voor een poort</i>	277
	<i>Het tijdmodel voor een verbinding</i>	
	<i>Het tijdmodel voor een poort</i>	
5.10	Timing van multilevel combinatoriek	279
	<i>Het modelleren van modulair opgebouwde schakelingen</i>	281
	<i>Multilevel combinatoriek en dissipatie</i>	
	<i>Multilevel combinatoriek en dissipatie</i>	283
5.11	De toepassing van (tijd)modellen	283
	<i>Meten is weten</i>	284
	<i>Een best case/worst case model of een statistisch model?</i>	283
	<i>Modellering van het dynamisch gedrag van poorten</i>	283
	<i>Een best case / worst case model of een statistisch model?</i>	285
	<i>Modellering van het dynamisch gedrag van poorten</i>	285
5.12	Defecten en foutmodellering	286
	<i>Defect statistics</i>	290
	<i>Sequentiële fouten</i>	
	<i>Sequentiële fouten</i>	292
	Literatuur	293
	Opgaven hoofdstuk 5	295

6 Het logisch ontwerpniveau

6.1	Standaardcomponenten	307
6.2	Carrypropagatie in optellers	308
	<i>Carry generate en carry propagate hulpfuncties</i>	308
	<i>Optimalisatie van het full adder ontwerp</i>	
	<i>Optimalisatie van het full adder ontwerp</i>	311
6.3	Carrypropagatie in 4-bit full adders	312
6.4	Arithmetic logic units	314
6.5	Parallelvermenigvuldigers	317
6.6	Modulair opgebouwde vermenigvuldigers	320
6.7	Het dynamisch gedrag van poorten in optellers	322
	<i>Carry-skip adders</i>	322
	<i>End-around carry</i>	324
	<i>End-around carry adders</i>	
6.8	Data-overdracht	326
	<i>Selectoren/multiplexers</i>	327
	<i>Decoders/demultiplexers</i>	328
	<i>Decoders/demultiplexers</i>	
	<i>Priority encoders</i>	
	<i>priority encoders</i>	329
6.9	Decompositie van logische functies met selectoren	330
	<i>Minimale BDD's en logica met selectoren</i>	332
	<i>Logische functies in andere componenten dan poorten</i>	
	<i>Logisch functies in andere componenten dan poorten</i>	334
6.10	Foutdetectie en foutcorrectie	335
	<i>Foutendetectie</i>	335
	<i>De parity check</i>	
	<i>Parity generators en parity checkers</i>	
	<i>Hammingafstand en foutendetectie/correctie</i>	
	<i>De parity check</i>	336
	<i>Parity generators and parity checkers</i>	337
	<i>Hamming afstand en foutendetectie/correctie</i>	340
6.11	Samenvatting	341
	Literatuur	343
	Opgaven hoofdstuk 6	344

7 Het structureel ontwerpniveau

7.1	Probleemaanpak	355
7.2	Structurele aspecten van de optelling	358
	<i>Kenmerken van de operanden</i>	359
	<i>Worst case of gemiddelde propagatietijd</i>	360
	<i>Carry completion optellers</i>	
	<i>Carry-completion optellers</i>	362
7.3	Pipeline optellers	364
7.4	De look-ahead carry generator	366
7.5	Overzicht van de optelling	369

	<i>Schema optelling / Domein en representatie van de getallen</i>	370
	<i>Schema optelling / Algoritmekeuze</i>	
	<i>Schema optelling / Het logisch ontwerp van de schakeling</i>	
	<i>Schema optelling / Algoritmekeuze</i>	371
	<i>Schema optelling / Het logisch ontwerp van de schakeling</i>	372
7.6	Ontwerpopdracht	374
	Literatuur	375
	Opgaven hoofdstuk 7	376
8 Programmeerbare logica		
8.1.	Read only memories	381
	<i>Read only memories</i>	382
	<i>De interne structuur van een ROM</i>	382
	<i>Enkele details</i>	384
8.2.	Enkele toepassingen van ROM's	386
	<i>BCD-naar-7-segment decoder</i>	386
	<i>Don't cares</i>	388
	<i>Het vervangen van random logica</i>	389
	<i>Het corrigeren van een overdrachtskarakteristiek</i>	390
	<i>Instructiedecodering</i>	391
8.3.	Programmeerbare logische arrays	391
	<i>PAL's</i>	393
8.4.	Optimalisatie in array logica	396
	<i>Bit partitioning</i>	397
	<i>Folding</i>	400
	Literatuur	401
	Opgaven hoofdstuk 8	401
	Appendix symbolen	409
	Antwoorden van de opgaven	453
	Studie-advies	455
	Index	457