

Inhoudsopgave

9 Geheugenelementen 1: latches

9.1	Geheugenwerking	13
	<i>Realisatie van geheugenwerking</i>	15
	<i>Onbedoelde geheugenwerking</i>	16
9.2	Het specificeren van geheugenwerking	17
	<i>Toestandsdiagrammen</i>	18
9.3	Het logisch ontwerp van geheugenelementen	19
	<i>Realisatie met AND en OR poort</i>	21
	<i>Realisatie met NAND's</i>	21
	<i>Realisatie met NOR's</i>	22
9.4	Symbolen voor latches	23
9.5	Functietabellen voor latches	24
9.6	Timing parameters van latches	26
	<i>Het data transfer model</i>	26
	<i>Duur van de set/reset opdracht</i>	29
	<i>Storingsgevoeligheid</i>	29
9.7	De ingangscombinatie $SR = 11$	30
9.8	Opdrachtcoderingen en overgangsverschijnselen	32
9.9	Gated latches	34
	<i>Gated S-R latches</i>	34
	<i>Gated D latches</i>	35
	<i>Functietabellen van gated latches</i>	36
9.10	Timing parameters van gated latches 1	37
	<i>Timing van de gated D latch</i>	38
	<i>Samenvatting timing van de gated D latch</i>	40
9.11	Timing parameters van gated latches 2	42
	<i>Timing van de gated S-R latch</i>	42
	<i>Referentiesignalen voor de timing</i>	44
9.12	Toepassing: de anti-denderschakeling	44
9.13	Latches en gated latches in transistoren	47
	<i>Statische en dynamische geheugenwerking</i>	47
	<i>Gated latches in NMOS</i>	49
	<i>Gated latches in CMOS</i>	50
9.14	RAM geheugens	52
	<i>Dynamische RAM's</i>	57
	Literatuur	57
	Opgaven hoofdstuk 9	58

10 Geheugenelementen 2: flip-flops

10.1	Het meester-en-slaaf principe	69
	<i>Het meester-en-slaaf principe</i>	74
10.2	De D flip-flop	77
10.3	De geheugenwerking van de D flip-flop	79
	<i>De level mode beschouwingwijze</i>	80
	<i>De clock mode beschouwingwijze</i>	81

	<i>Symbolen</i>	84
10.4	Instelsignalen voor D flip-flops	85
10.5	De J-K flip-flop	87
	<i>De logische werking van de J-K flip-flop</i>	90
	<i>Symbolen voor pulse-triggered flip-flops</i>	92
10.6	Overige logische types flip-flops	93
10.7	Flip-flops met enable faciliteiten	95
10.8	Flip-flop timing 1	96
	<i>Kloksignalen</i>	96
	<i>Timing van datasignalen</i>	97
	<i>Timing van instelsignalen</i>	99
10.9	Flip-flop timing 2	100
	<i>Het effect van een terugkoppeling van uitgang Q naar de ingang</i>	102
10.10	Flip-flops in transistoren	104
	<i>Ingangscondities</i>	105
	<i>Het intern overnemen en doorgeven van data</i>	108
	<i>Storingsgevoeligheid van de uitgangsconstructie</i>	108
	<i>De uitgangsreactie</i>	110
	<i>Samenvatting timing van flip-flops</i>	110
	Literatuur	111
	Opgaven hoofdstuk 10	111

11 Het sequentiële machine model

11.1	Sequentiële schakelingen	125
	<i>Het ontwerptraject van clock mode schakelingen</i>	125
	<i>Van toestandsdiagram naar schakeling</i>	128
11.2	Het model voor combinatorische schakelingen	131
11.3	Het model voor sequentiële schakelingen	133
	<i>Don't cares</i>	137
	<i>Inpassing van combinatorische schakelingen</i>	137
11.4	Het Mealy en het Moore model	138
	<i>Afspraken voor toestandstabellen en diagrammen</i>	139
	<i>Notatie-afspraken voor de clock mode</i>	142
11.5	Clock mode FSM realisatiestructuren	142
	<i>Dynamische aspecten van Moore type schakelingen</i>	147
11.6	Algorithmic State Machines	148
	Literatuur	152
	Opgaven hoofdstuk 11	153

12 Level mode sequentiële schakelingen

12.1	Introductie level mode sequentiële schakelingen	155
	<i>De level mode</i>	155
	<i>Beperkingen aan de toepassing van latches</i>	156
	<i>Toestandscoderingen</i>	157
12.2	Het ontwerp van een gated D latch	160
	<i>NAND realisatie van het geheugenelement</i>	161
	<i>NOR realisatie van het geheugenelement</i>	163

	<i>Overlappende termen</i>	164
	<i>Een vergelijking met set-reset latches</i>	165
12.3	Het ontwerp van een scan flip-flop	165
	<i>Ontwerp 1: Flip-flop met een selector ervoor</i>	166
	<i>Ontwerp 2: Two-port flip-flop</i>	166
12.4	Het schakelen van kloksignalen	170
	<i>Level mode edge-triggered klokschakelaars</i>	172
	<i>Het omschakelen tussen verschillende klokkken</i>	174
12.5	De level mode interpretatie van het sequentiële machine model	175
	<i>Afspraken voor de level mode</i>	176
	Literatuur	178
	Opgaven hoofdstuk 12	179
13	Clock mode sequentiële schakelingen	
13.1	Introductie clock mode sequentiële schakelingen	185
	<i>Spelregels voor de clock mode</i>	186
13.2	Ontwerpvoorbeeld: een druktoetsinterface	188
	<i>De realisatie</i>	196
13.3	Ontwerpvoorbeeld: een reeksgenerator	197
13.4	Het opstellen van toestandsdiagrammen	200
13.5	Equivalentie van toestanden	202
13.6	Overbodige toestanden	205
13.7	Resetten	208
13.8	De keuze van de toestands codering	210
	<i>Het aantal toestands coderingen</i>	211
	<i>Het benutten van structuur in de probleemstelling</i>	211
	<i>One-hot assignments</i>	212
	<i>Combinatie van toestands codering en uitgangscodering</i>	213
	<i>Recente ontwikkelingen</i>	213
13.9	De clock mode interpretatie	214
	<i>Afspraken voor de clock mode</i>	214
13.10	De afbeelding op hardware	218
	<i>Programmeerbare logica</i>	219
	<i>Testbaarheid en observeerbaarheid</i>	221
	Literatuur	222
	Opgaven hoofdstuk 13	224
14	Registers	
14.1	De interne structuur van registers	237
	<i>De structuur in de opbouw</i>	239
	<i>Overbodige functies</i>	241
14.2	Enkele ontwerpdetails	242
	<i>Invloed clock buffer</i>	242
	<i>Implementatie inhibit functie</i>	243
	<i>Implementatie van de selectoren/multiplexers</i>	245
	<i>Implementatie van de set- en resetfunctie</i>	246
14.3	Toepassingen van registers	248

	<i>vermenigvuldigen en delen</i>	248
	<i>Tellen met registers tot n</i>	249
	<i>Tellen met schuifregisters tot $2n$</i>	251
	<i>Tellen bij parallel-serie omzetting</i>	253
14.4	Modulo 2 teruggekoppelde registers	254
	<i>Getallen modulo m</i>	254
	<i>Modulo 2 terugkoppeling van de registerinhoud</i>	255
14.5	Terugkoppelpolynomen	257
14.6	Pseudo-random eigenschappen van maximum-lengte reeksen	259
	<i>Registerconfiguraties</i>	260
14.7	Signature analysers	263
	Literatuur	266
	Opgaven hoofdstuk 14	266

15 Tellers

15.1	Inleiding	273
	<i>De modulaire structuur van tellers</i>	274
15.2	Asynchrone binaire tellers	275
15.3	Synchrone binaire tellers	278
15.4	Synchrone binaire op/neer tellers	282
	<i>Omschakelbare op/neer tellers</i>	283
15.5	Tellers met enable ingang	284
	<i>Opbouw van het carry netwerk</i>	285
	<i>De enable implementatie</i>	287
15.6	4n-Bit tellers	288
15.7	Standaard 4-bit tellers 1	292
	<i>Functietabellen</i>	292
15.8	Standaard 4-bit tellers 2	295
	<i>De 4-bit binaire teller SN74LS163A</i>	295
	<i>Timing eigenschappen</i>	297
	<i>Lusvorming</i>	297
	<i>De 4-bit op/neer teller SN74LS169A</i>	298
	<i>Functietabellen</i>	300
	<i>De 4-bit BCD op/neer teller SN74LS668</i>	301
15.9	Parameterspecificatie van 4n-bit tellers	303
	<i>Structuuronafhankelijke parameters</i>	303
	<i>Structuurafhankelijke parameters</i>	303
15.10	Pseudo clock mode inpassing van tellers	306
	<i>Pseudo clock mode synchrone tellers</i>	307
	Literatuur	309
	Opgaven hoofdstuk 6	310

16 Het Datapad - besturing ontwerpmodel

16.1	Datapad en besturing	319
	<i>Notatie-afspraken</i>	320

16.2	Ontwerpvoorbeeld: digitale ‘one shot’	322
	<i>De architectuur van de schakeling</i>	324
	<i>De implementatie</i>	326
	<i>De realisatie</i>	329
16.3	Spelregels ten aanzien van het ontwerpen volgens het datapad-besturing model	329
16.4	Ontwerpvoorbeeld: instelbare spanningsgenerator	331
	<i>Het programma van eisen</i>	331
	<i>De architectuur van de schakeling</i>	332
	<i>De implementatie</i>	333
16.5	Vervolg ontwerpvoorbeeld	337
	<i>De realisatie</i>	337
	<i>De definitieve besturingsspecificatie</i>	343
16.6	Moore - Mealy en andere perikelen	346
	<i>Proces- en klokfase-synchronisatie</i>	347
	<i>Variabele reactietijden</i>	352
16.7	De besturingsopzet voor parallelle processen	353
	<i>Snelle deelprocessen</i>	354
16.8	Van toestandsdiagram naar schakeling	355
	<i>Realisatie in PLA's, PAL's of PROM's</i>	356
	Literatuur	358
	Opgaven hoofdstuk 16	359

17 Timing bij data - overdracht

17.1	Uitgangspunten	369
	<i>Samenvatting timing modellen</i>	369
17.2	Directe data-overdracht tussen identieke flip-flops	371
	<i>Directe data-overdracht</i>	371
	<i>Kwaliteit van een flip-flop ontwerp</i>	374
	<i>Keuze voor een snelle of een langzame technologie</i>	374
17.3	Directe data-overdracht tussen flip-flops met verschillende timing parameters	375
	<i>Conclusies directe data-overdracht</i>	377
17.4	Indirecte data-overdracht	378
	<i>Conclusies indirecte data-overdracht</i>	381
17.5	De maximale klokfrequentie	381
	<i>Conclusies maximale klokfrequentie</i>	383
	<i>Maximale klokfrequentie bij pulse-triggered timing</i>	383
	<i>Toegestane propagatietijd in de logica</i>	384
17.6	Data-overdracht tussen flip-flops met verschillende timing systemen	385
	<i>Data-overdracht tussen positive en negative edge-triggered flip-flops</i>	385
	<i>Data-overdracht tussen edge-triggered en pulse-triggered flip-flops</i>	388
	<i>Conclusies data-overdracht bij verschillende timing systemen</i>	389
17.7	Flip-flop ontwerpen en marges voor clock skew	390
	<i>Flip-flop ontwerp en maximale klokfrequentie</i>	390
	<i>Marges voor clock skew en maximale klokfrequentie</i>	393
	<i>Conclusies voor het ontwerp van flip-flops</i>	393

17.8	Interne en externe timing parameters van MSI componenten	394
	<i>Logica rond flip-flops</i>	394
	<i>Signaalpropagatie door combinatorische logica</i>	395
	<i>Interne en externe setup en hold time</i>	396
	<i>Logica in de kloklijn</i>	399
	<i>Uitgangsparemeters</i>	401
	<i>Samenvatting</i>	401
17.9	Data lockout flip-flops	402
	<i>Edge-triggered flip-flops met data lockout</i>	402
	<i>Data lockout timing en boundary scan</i>	403
17.10	Tweefasige klokken	404
17.11	Retiming	406
	<i>Retiming en pipelining</i>	409
	<i>Retiming en redundante toestanden</i>	411
	<i>Conclusies retiming</i>	412
17.12	Samenvatting en conclusies	413
	<i>Meten of simuleren</i>	413
	Literatuur	415
	Opgaven hoofdstuk 17	416

18 Het kloksysteem

18.1	Taken van het kloksysteem	431
	<i>De begrippen elektrisch en logisch gedefinieerd</i>	431
	<i>De opzet van een eenvoudig kloksysteem</i>	433
18.2	Klokgeneratoren en hun parameters	435
18.3	Klokfrequentie en dissipatie	437
18.4	Klokdistributie	440
18.5	Klokbuffers	441
	<i>Maatregelen te verbetering van de interface-baarheid</i>	443
18.6	Synchronisatie van externe signalen	445
18.7	Procesfase-synchronisatie	451
	Literatuur	453
	Opgaven hoofdstuk 18	454

Appendix Symbolen 461

Deze appendix is niet in het boek opgenomen, maar te raadplegen op URL
<http://www.vssd.nl/hlf/e025.html>

Antwoorden van de opgaven 463

Studie-advies 464

Index 465